

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 昭61-118026

⑪ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)6月5日

H 03 M 1/74

6832-5J

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 デジタル・アナログ変換回路

⑮ 特 願 昭59-238340

⑯ 出 願 昭59(1984)11月14日

⑰ 発 明 者 安 岡 正 博 横浜市戸塚区吉田町292番地 株式会社日立製作所家電研
究所内

⑱ 発 明 者 平 昌 茂 横浜市戸塚区吉田町292番地 株式会社日立製作所家電研
究所内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 高橋 明夫 外1名

明 細 書

1 発明の名称 デジタル・アナログ変換回路

2 特許請求の範囲

1 MOSトランジスタからなる電流源と負荷抵抗と能性反転回路を有し、デジタル信号が前記能性反転回路に入力され、デジタル信号の重み付けに対応する数の同一特性を持つ前記電流源が、前記能性反転回路の出力によって制御され、前記複数個の電流源による電流の総和を負荷抵抗によって電圧に変換し出力として取り出すデジタルアナログ変換回路において、固定抵抗と温度補償用MOSトランジスタからなる直列回路となし、該固定抵抗と、温度補償用MOSトランジスタのオン抵抗とで分圧されたがMOSトランジスタからなる電流源のゲートに供給されていることを特徴とするデジタルアナログ変換回路。

2 特許請求の範囲第1項記載のデジタルアナログ変換回路において、前記能性反転回路の電流を、前記固定抵抗と前記温度補償用MOSトラ

ンジスタのオン抵抗で電流電圧を分圧した電位とし、前記MOSトランジスタの電流源のゲートに前記能性反転回路の出力を入力する構成とし、前記能性反転回路の出力が高レベルHの状態の前記MOSトランジスタの電流源の温度による電流値の変化を打ち消すように該MOSトランジスタの電流源のゲート電位を温度によって変化させることを特徴とするデジタル・アナログ変換回路。

3 特許請求の範囲第1項記載のデジタル・アナログ変換回路において、前記能性反転回路の出力と前記MOSトランジスタからなる電流源のゲートとの間に前記固定抵抗と前記温度補償用MOSトランジスタを挿入し、前記能性反転回路の出力電位を前記固定抵抗と前記温度補償用MOSトランジスタのオン抵抗で分圧し、該分圧した電位を前記MOSトランジスタの電流源のゲートに印加する構成とし、前記MOSトランジスタの電流源の温度による電流値の変化を打ち消すように該MOSトランジスタからなる

電流源のゲート電位を温度によって変化させることを特徴とするデジタル・アナログ変換回路。

3. 発明の詳細な説明

〔発明の利用分野〕

本発明はMOSトランジスタを電流源として使用するデジタル・アナログ変換回路に係り、特に温度補償に好適なデジタル・アナログ変換回路に関する。

〔発明の背景〕

MOSトランジスタを電流源として使用したデジタル・アナログ変換回路として、例えば特開昭58-60822号公報に示されているように、MOSトランジスタのゲートにデジタル信号を入力し、デジタル信号の高レベルHと低レベルLによってMOSトランジスタが導通および非導通の状態を与えられ、かつトランジスタの導通状態で定電流となる特性を利用し、デジタル信号の各ビットに対する重み付けをMOSトランジスタの個数を変える事で実現する回路が知られている。この回路は、単純増加性が保証で

き、高周波動作が可能で、比較的簡単な回路で構成できるが、温度変化によるMOSトランジスタの特性変化がそのまま出力に現われるため、温度が 100°C 変化した場合、出力が4割も変化するという結果となり、温度特性が悪いという問題点がある。上記従来例では、この温度に対する補償のために、補償用のMOSトランジスタと基準電流源と比較器と可変電圧源を設け、補償用MOSトランジスタの電流と基準電流源とを比較し、その差分によって電圧源を制御して補償を行なう方法が示されていた。しかし、この従来例では、回路が複雑となるばかりでなく、基準電流源の温度特性、電圧源の制御方法など未解決の課題を多く残したままであった。

〔発明の目的〕

本発明の目的は、上述したMOSトランジスタ構成デジタル・アナログ変換回路の温度補償回路の欠点をなくし、簡単かつ高信頼性の温度補償回路を有するデジタル・アナログ変換回路を提供することにある。

〔発明の概要〕

本発明では、電流源として用いるMOSトランジスタの温度特性が、温度が上昇するにつれて電流が減少する特性である事に着目し、かつ電流源用MOSトランジスタのゲート、ソース間の電位差（以下、 V_{GS} と略す）が増加するとMOSトランジスタの電流は増加する事に着目し V_{GS} を温度上昇に伴って上昇するようにし、温度上昇によるMOSトランジスタの電流減少を V_{GS} の上昇によって打ち消すようにする。

〔発明の実施例〕

以下、本発明の一実施例を図面を用いて説明する。第1図は本発明の一実施例を示す回路図、第2図は実施例の動作を説明するための一般的MOSトランジスタの特性図、第3図は実施例の動作を説明するための回路図である。第1図において、1～14はMOSトランジスタ、15は温度補償用抵抗、16は負荷抵抗、17～19はデジタル信号入力線、20は温度補償用電圧供給線、21は出力線である。

また、第2図において22はある基準温度におけるMOSトランジスタの特性曲線、23は基準温度よりも温度が上昇した場合の特性曲線である。さらに第3図において24はMOSトランジスタ、25は負荷抵抗、26はデジタル入力線、27は出力線である。

まず、実施例を説明するために第2図、第3図を用いてMOSトランジスタの温度特性について説明する。第2図は一般的MOSトランジスタの V_{GS} とドレイン電流（以下 I_D と略す）の関係を示す特性図であり、温度が上昇すると特性曲線は曲線22から曲線23へと傾きが小さくなる傾向があり、したがって、 V_{GS} がある固定値 V_{GS0} である場合、第2図において、温度 T_0 から温度 T_1 へと上昇するとドレイン電流 I_D は I_{D0} から I_{D1} へと減少する。この変化率は約 $0.4\%/^{\circ}\text{C}$ である。すなわち、MOSトランジスタのオン抵抗は温度上昇に伴ない増加する傾向である。そこで第3図におけるMOSトランジスタ24と負荷抵抗25からなる回路ではデジ

デジタル入力線 26 にある固定電位が印加されている場合、温度上昇に伴ない出力線 27 の電位は上昇する。すなわち、仮に、MOS トランジスタ 24 のある基準温度におけるオン抵抗の値と負荷抵抗 25 の値がともに値 R であり、温度上昇により MOS トランジスタのオン抵抗が ΔR 増加したとする。また、負荷抵抗 25 の温度変化率は一般的に 200 PPM/°C であり MOS トランジスタの温度変化率に比べて十分小さいため負荷抵抗 25 の抵抗値の温度変化は無視できるため、電源電圧 Vcc に対する出力線 27 の電位 Vout は式 (1) となる。

$$V_{out} = \frac{1}{2} V_{cc} \left(1 + \frac{\Delta R}{2R + \Delta R} \right) \dots (1)$$

式 (1) において、第 2 項が温度上昇による変化分である。

そこで、温度変化による MOS トランジスタのドレイン電流 I_D の変化を補償するために、第 2 図において、温度 T_0 におけるゲート・ソース間電圧 V_{GS0} に対して温度が T_1 と上昇した場合にゲート・ソース間電圧 V_{GS} を ΔV_{GS} だけ増加

させ電圧 V_{GS1} とすることで特性曲線 23 でも温度 T_0 におけるドレイン電流 I_{D0} を得ることができる。 V_{GS} を温度上昇に伴って増加させる手段としては、第 3 図の回路において前述したように出力線 27 の電位が温度上昇によって増加することを利用する。すなわち、MOS トランジスタの特性の温度変化を利用して温度変化を補償するものである。

第 1 図により本発明の実施例を説明する。

第 1 図は 3 ビット入力の場合のデジタル・アナログ変換回路を示したものであり、デジタル入力線 12, 18, 19 のうち 19 にデジタル信号の最下位ビット信号が入力され、18 に次のビット信号、そして 17 に最上位ビット信号が入力される。MOS トランジスタ 2, 3, 4, 5, 6, 7 はデジタル信号入力に対するバッファ回路であり、それぞれがインバータ回路である。このインバータ回路の出力はデジタル信号入力によって、接地電位と MOS トランジスタ 2, 4, 6 のソースが接続されている温度補償用電圧供給線 20 の電位の 2 値

の状態を取る。また、MOS トランジスタ 8 ~ 14 は同一特性の MOS トランジスタであり、電流源として、デジタル信号の各ビットに対応した個数の MOS トランジスタのゲートが、それぞれのデジタル信号入力に対するインバータ回路に接続されている。今、デジタル入力線 17 のみが低レベル L でデジタル入力線 18, 19 が高レベル H の状態である場合、インバータ回路の MOS トランジスタ 2, 3 の出力にのみ温度補償用電圧供給線 20 の電位があらわれ、MOS トランジスタ 8 ~ 11 のゲート電位が温度補償用電圧供給線 20 の電位となることで MOS トランジスタ 8 ~ 14 のうちの 8 ~ 11 のみが導通し負荷抵抗 16 によって出力線 21 にデジタル入力線 17 のビットに対応した出力が得られる。

ここで、温度上昇に対する電流源の電流減少に対して、MOS トランジスタ 1 と温度補償用抵抗 15 とによって得られる温度補償用電圧供給線 20 の電位を、前述した温度上昇に対して減少するドレイン電流 I_D を補償するに足る V_{GS}

の増加分だけ上昇させるように MOS トランジスタ 1 のセルサイズを決定し、電流源 8 ~ 14 のゲート電位を上昇に従って上昇させることで温度補償を行なうことができる。すなわち、電流源 8 ~ 14 の温度による変化を打ち消すように電流源 8 ~ 14 のゲート電位を変化させることで温度補償を行ない、温度補償に必要な回路は非常に簡単とすることができる。

また、第 4 図に他の実施例を示す。第 4 図において、2 ~ 14, 16 ~ 19, 21 は第 1 図と同様であり、28 ~ 30 は温度補償抵抗、31 ~ 33 は温度補償用 MOS トランジスタである。

第 4 図において、MOS トランジスタ 2, 3 および 4, 5 および 6, 7 で構成されるインバータ回路の出力 34, 35, 36 は、MOS トランジスタ 2, 4, 6 のソースが電源 Vcc に接続されているため、接地電位と Vcc の 2 値の状態を取る。ここでインバータ回路の出力 34, 35, 36 と電流源である MOS トランジスタ 8 ~ 14 のゲート 37, 38, 39 との間に温度補償抵抗 28, 29, 30 と温度補償用 MO

Sトランジスタ31, 32, 33を挿入し、インバータ回路の出力34, 35, 36の電位を温度補償抵抗28, 29, 30と温度補償用MOSトランジスタ31, 32, 33のオン抵抗で分圧した電位が電流源用MOSトランジスタ8~14のゲート電位として与えられる構成とする。このような構成にすると、温度補償用MOSトランジスタ31, 32, 33のオン抵抗は温度上昇によって増加するため、電流源用MOSトランジスタ8~14のゲート電位が温度上昇によって上昇し、電流源用MOSトランジスタ8~14の温度上昇による電流減少を補償できる。

以上の実施例においては、電流源用MOSトランジスタはN形を使用して説明を行ったが、P形のMOSトランジスタを使用した場合も同様の考え方により、P形MOSトランジスタのゲート、ソース間の電位差を温度上昇に伴って大きくする事により目的を達成することができる。

また、以上の実施例は3ビットのデジタル

アナログ変換回路について示したものであるが、他の異なるビット数についても同様にして構成できることは明らかである。さらに、固定抵抗とMOSトランジスタを組み合わせて温度補償を行なったが、固定抵抗のかわりに温度変動の小さい抵抗であれば、たとえばLSI内でのウェル抵抗や拡散抵抗でもよい。

以上のように、本発明によれば、温度補償を抵抗とMOSトランジスタの組み合わせという非常に簡単な回路で実現でき、補償が自動的にかつダイナミックにできる。

〔発明の効果〕

本発明によれば、電流源として用いるMOSトランジスタの温度補償を非常に簡単な回路で実現でき、高信頼性のデジタル・アナログ変換回路を実現できる。

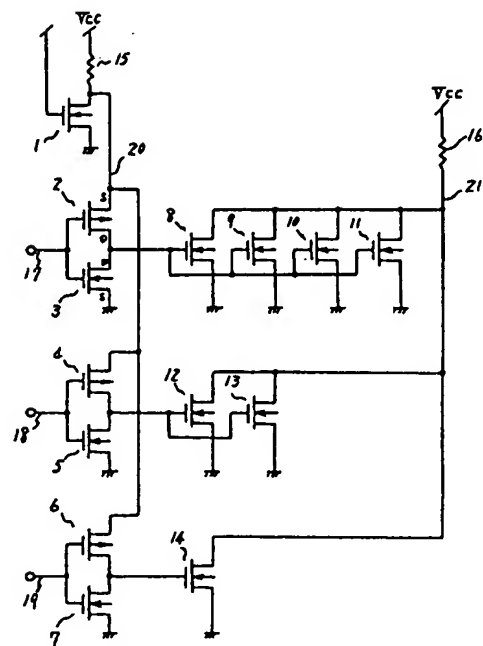
4. 図面の簡単な説明

第1図は本発明の一実施例を示す回路図、第2図はMOSトランジスタの特性図、第3図は実施例を説明するための回路図、第4図は他の

実施例を示す回路図である。

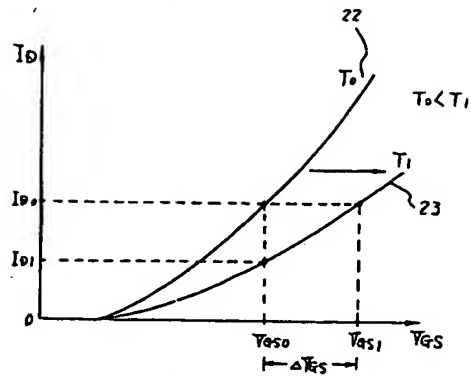
- 1~14 …… MOSトランジスタ
- 15 …… 温度補償用抵抗
- 17~19 …… デジタル信号入力線
- 20 …… 温度補償用電圧供給線
- 22, 23 …… MOSトランジスタ特性曲線

第1図

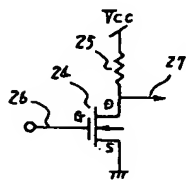


代理人弁理士 高 橋 明 夫

第 2 図



第 3 図



第 4 図

